

SEMICONDUCTOR STORAGE DEVICE AND ITS MANUFACTURE

SEMICONDUCTOR STORAGE DEVICE AND ITS MANUFACTURE

Patent Number: JP9082912
Publication date: 1997-03-28
Inventor(s): AOKI MASAMI; ISHIBASHI YUTAKA
Applicant(s): TOSHIBA CORP
Requested Patent: ☐ JP9082912
Application Number: JP19950235365 19950913
Priority Number(s):
IPC Classification: H01L27/108; H01L21/8242
EC Classification:
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor storage device which facilitates the flattening of the surface of a cell and simplifies the manufacturing process, in a DRAM using an SOI substrate.

SOLUTION: In a semiconductor storage device wherein a dynamic type memory cell constituted of an MOS transistor and a capacitor is formed on an SOI substrate wherein an Si layer 3 is formed on an Si substrate 1 via an SiO₂ buried oxide film 2, a side wall insulating films 6 is formed on the gate side surface of the MOS transistor, a trench 10 reaching the Si substrate 1 is formed in the self-alignment manner with the side wall insulating films 6, and a storage electrode 13 of the capacitor is buried in the trench 10.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-82912

(43) 公開日 平成9年(1997)3月28日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 7 1 C
21/8242				6 2 5 A

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号 特願平7-235365

(22) 出願日 平成7年(1995)9月13日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 青木 正身

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 石橋 裕

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

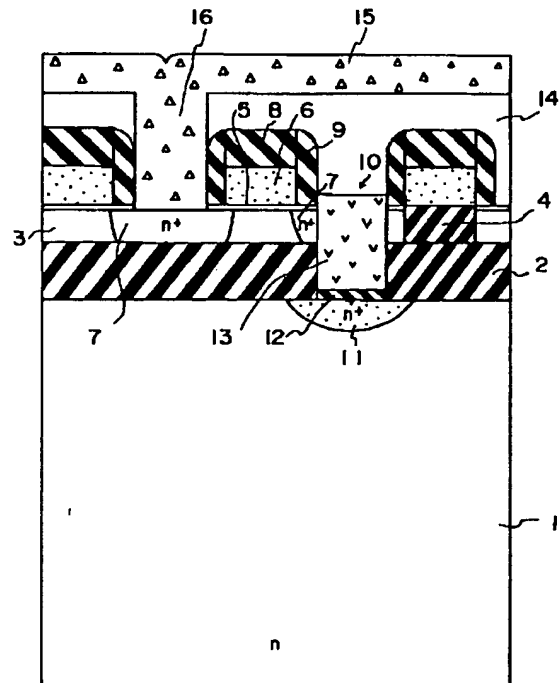
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 SOI基板を用いたDRAMにおいて、セル表面の平坦化が容易で製造工程が簡単な半導体記憶装置を提供する。

【解決手段】 Si基板1上にSiO₂埋込み酸化膜2を介してSi層3を形成してなるSOI基板に、MOSトランジスタ及びキャパシタからなるダイナミック型のメモリセルを形成した半導体記憶装置において、MOSトランジスタのゲート側面に側壁絶縁膜6が形成され、この側壁絶縁膜6と自己整合的にSi基板1に達するトレンチ10が形成され、このトレンチ10内にキャパシタの蓄積電極13が埋め込まれている。



【特許請求の範囲】

【請求項1】支持基板上に絶縁層を介して半導体層が形成されたSOI基板にダイナミック型のメモリセルを形成した半導体記憶装置において、前記支持基板と絶縁層との境界部に、前記メモリセルのキャパシタを形成してなることを特徴とする半導体記憶装置。

【請求項2】支持基板上に絶縁層を介して半導体層を形成してなるSOI基板に、MOSトランジスタ及びキャパシタからなるダイナミック型のメモリセルを形成した半導体記憶装置において、前記MOSトランジスタのゲート側面に側壁絶縁膜が形成され、この側壁絶縁膜と自己整合的に前記支持基板に達するトレンチが形成され、このトレンチ内に前記キャパシタの蓄積電極が埋め込まれてなることを特徴とする半導体記憶装置。

【請求項3】支持基板上に絶縁層を介して半導体層を形成してなるSOI基板にダイナミック型のメモリセルを形成した半導体記憶装置の製造方法において、前記SOI基板の半導体層に素子分離領域を形成する工程と、前記SOI基板の素子分離領域で囲まれた素子形成領域にMOSトランジスタを形成する工程と、前記MOSトランジスタのゲート側面に側壁絶縁膜を形成する工程と、前記側壁絶縁膜をマスクに前記支持基板に達するトレンチを形成する工程と、前記トレンチの底部にキャパシタ用の絶縁膜を形成する工程と、前記トレンチ内にキャパシタ用の蓄積電極を埋め込む工程とを含むことを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、支持基板上に絶縁層を介して半導体層を形成してなるSOI基板を用いた半導体記憶装置に係わり、特にキャパシタ構成の改良をはかった半導体記憶装置及びその製造方法に関する。

【0002】

【従来の技術】近年、1Gビット以降の高集積DRAM実現のための有力な候補として、SOI基板を用いたダイナミック型RAM(DRAM)が注目されている。このSOI-DRAMでは、次のような特徴があるため、より一層の微細化ができると期待されている。

(1) トランジスタ及びキャパシタが絶縁膜上に形成されるため、キャパシタに蓄えた電荷が基板に漏れる経路が完全に遮断されている。このため、キャパシタの蓄積容量が小さくても、データ保持特性が良いばかりでなく、ソフトエラー耐性が強い。

(2) トランジスタのチャネルが薄膜であるため、ショートチャネル効果を抑制することができる。

【0003】しかしながら、従来のSOI-DRAMにおいては、一般にバルクSiのセルと同じキャパシタ構造を採用していた(T.Eimori他, "ULSI DRAM/SIMOX with

h Stacked Capacitor Cells for Low-Voltage Operation", International Electron Devices Meeting, Technical Digest, p.45-48, 1993)。従って、SOI基板を用いた場合にも、ウェハ表面の段差は依然として大きく、フォトリソグラフィ工程や配線の加工が難しいという問題は改善されないまま存在している。

【0004】

【発明が解決しようとする課題】このように従来、SOI基板を用いたDRAMにおいても、ウェハ表面の段差は依然として大きく、フォトリソグラフィ工程や配線の加工が難しいという問題があった。

【0005】本発明は、上記事情を考慮してなされたもので、その目的とするところは、SOI基板を用いたDRAMにおいて、セル表面の平坦化が容易で、かつ製造工程が簡単な半導体記憶装置及びその製造方法を提供することにある。

【0006】

【課題を解決するための手段】

(概要) 上記課題を解決するために本発明は、次のような構成を採用している。即ち、本発明(請求項1)は、支持基板上に絶縁層を介して半導体層が形成されたSOI基板にダイナミック型のメモリセルを形成した半導体記憶装置において、前記支持基板と絶縁層との境界部に、前記メモリセルのキャパシタを形成してなることを特徴とする。

【0007】また、本発明(請求項2)は、支持基板上に絶縁層を介して半導体層を形成してなるSOI基板に、MOSトランジスタ及びキャパシタからなるダイナミック型のメモリセルを形成した半導体記憶装置において、前記MOSトランジスタのゲート側面に側壁絶縁膜が形成され、この側壁絶縁膜と自己整合的に前記支持基板に達するトレンチが形成され、このトレンチ内に前記キャパシタの蓄積電極が埋め込まれてなることを特徴とする。

【0008】また、本発明(請求項3)は、支持基板上に絶縁層を介して半導体層を形成してなるSOI基板にダイナミック型のメモリセルを形成した半導体記憶装置の製造方法において、前記SOI基板の半導体層に素子分離領域を形成する工程と、前記SOI基板の素子分離領域で囲まれた素子形成領域にMOSトランジスタを形成する工程と、前記MOSトランジスタのゲート側面に側壁絶縁膜を形成する工程と、前記側壁絶縁膜をマスクに前記支持基板に達するトレンチを形成する工程と、前記トレンチの底部にキャパシタ用の絶縁膜を形成する工程と、前記トレンチ内にキャパシタ用の蓄積電極を埋め込む工程とを含むことを特徴とする。

【0009】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

(1) キャパシタの蓄積電極は、MOSトランジスタのソース・ドレインの一方に接続されていること。

(2) 支持基板は半導体基板であり、トレンチに露出する半導体基板表面に拡散層が形成され、その上にキャパシタ絶縁膜を介して蓄積電極が埋込み形成されていること。また、キャパシタ絶縁膜がSOIを構成する絶縁層の側面にも形成されていること。

(3) トレンチの底部から順に、第1の金属層、キャパシタ絶縁膜、第2の金属層が積層され、その上に蓄積電極が埋込み形成されていること。

(4) 支持基板と絶縁層の境界部に半球状のキャパシタを有すること。より具体的には、支持基板としての半導体基板はトレンチ部分下で半球状にエッチングされ、エッチングされた表面に拡散層が形成され、さらに表面上にキャパシタ絶縁膜を介して蓄積電極が埋め込まれている。また、半導体基板のエッチング表面は粗面化されていること。

(5) SOI基板の絶縁層の途中までトレンチが形成され、トレンチの内面に筒状の蓄積電極が形成され、その内面にキャパシタ絶縁膜を介して導電層が埋め込まれ、この導電層は支持基板としての半導体基板に導通していること。

(作用) 本発明によれば、SOI基板の支持基板と絶縁層の境界部にキャパシタを形成しているため、キャパシタ形成に起因する凹凸を小さくすることができ、メモリの表面段差を最小限に抑えることが可能になる。その結果、フォトリソグラフィ工程や配線の加工を容易に行うことが可能となる。

【0010】

【発明の実施の形態】以下、本発明の詳細を図示の実施形態によって説明する。

(実施形態1) 図1は、本発明の第1の実施形態に係わるSOI-DRAMのセル構成を示す断面図である。

【0011】 n型Si基板からなる支持基板1上にSiO₂等の埋込み酸化膜(絶縁層)2を介してSi層(半導体層)3が形成され、これによりSOI基板が構成されている。SOI基板の半導体層3には、素子分離のための素子分離層4が形成されている。そして、素子分離された各々の素子形成領域では、半導体層3上にゲート酸化膜5を介してゲート電極(ワード線WL)6が形成され、ゲート電極6の両側にソース・ドレインとなるn型拡散層7が形成されている。これにより、スイッチング素子として機能するMOSトランジスタが構成されている。ゲート電極6の上部及び側部には保護絶縁膜8、9がそれぞれ形成されている。

【0012】 SOI基板の半導体層3及び絶縁層2を貫通して、支持基板1の表面に至る浅いトレンチ10が設けられている。トレンチ10に露出した支持基板1の表面にはn型拡散層11が形成され、この拡散層11はプレート電極として作用する。支持基板1の露出部には、キャパシタ絶縁膜12を介して蓄積電極(ストレージノード)となる導電材13が充填され、導電材13の上部

側面がトランジスタのn型拡散層7の一方に接している。そして、蓄積電極13の絶縁はゲート側面の絶縁膜9により保たれている。

【0013】 また、上記のように構成された基板上に層間絶縁膜14が形成され、その上にビット線(BL)15が形成されている。ビット線15は、ビット線コンタクト16によりトランジスタのn型拡散層7の他方に接続されている。

【0014】 図2は、図1に示すトレンチパターンを上から見た平面図である。本実施形態では、トレンチパターンはゲート電極6に対して自己整合的に形成されるので、結果的に図の斜線(一部のみを示してある)で示すようなパターンのトレンチ10となる。

【0015】 本実施形態の構造によれば、SOI基板を用いていることから、ソフトエラー耐性に強く、ショートチャネル効果を抑制できるのは勿論のこと、次のような効果が得られる。即ち、SOI基板の支持基板1と絶縁層2の境界部にキャパシタを形成しているため、メモリの表面段差を最小限に抑えることができる。このため、セル表面の平坦化が容易で、かつ製造工程が簡単となる。また、ゲート電極6の形成後にキャパシタを形成するために、ゲート電極形成に係わる熱負荷により、キャパシタ絶縁膜12の特性が劣化することがない。

【0016】 また、プレート電極がゲート電極6上に延在していないため、ビット線-プレート間のショートの危険がない。さらに、ビット線-プレート間の対向面積が小さいため、ビット線容量を低減することができる。

【0017】 次に、本実施形態の製造工程を簡単に説明する。まず、SOI基板のSi層3に素子分離層4を形成する。次いで、ゲート酸化膜5、ゲート電極6、上部絶縁膜8、側壁絶縁膜9を形成し、ゲート電極6及び絶縁膜8、9をマスクにn型拡散層7を形成する。層間絶縁膜14を形成後、トレンチのパターニングを行い、ゲート部分に接して、支持基板表面に達する浅いトレンチ10を形成する。

【0018】 次いで、支持基板1の露出部に支持基板1と同型の不純物を注入した後、キャパシタ絶縁膜12を堆積する。キャパシタ絶縁膜12としては各種の絶縁体を選択できるが、例えばTa₂O₃等の高誘電体膜が望ましい。さらに、蓄積電極となる導電材13を堆積し、エッチバックによりトレンチ10内に充填し、拡散層7との接点を形成する。この後は、層間絶縁膜14を再び堆積した後、ビット線15を形成する。

【0019】 本工程によれば、浅いトレンチ10はゲート電極6に対して、自己整合的に形成されるため、より微細なメモリセルを実現することが可能になる。

(実施形態2) 図3は、本発明の第2の実施形態に係わるSOI-DRAMのセル構成を示す断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0020】本実施形態は、第1の実施形態のバリエーションであり、キャパシタ絶縁膜12を、トレンチ10の底面だけではなく、トレンチ10の側面を覆うように形成したものである。これにより、キャパシタを成す蓄積電極とプレートとの間の絶縁をより確実にしている。

(実施形態3) 図4は、本発明の第3の実施形態に係わるSOI-DRAMのセル構成を示す断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0021】本実施形態は、第1の実施形態1のバリエーションであり、絶縁膜を挟んで金属膜を形成してキャパシタを構成している。即ち、トレンチ10の底部に第1の金属膜21を形成し、その上にキャパシタ絶縁膜22を介して第2の金属膜23を形成し、さらにその上蓄積電極13を埋込み形成している。

【0022】このような構成であっても第1の実施形態と同様の効果が得られる。なお、キャパシタを構成する金属膜21、23にはW、Mo、Ti等を用いればよい。また、金属膜の代わりに、蓄積電極13や支持基板1と同じSiを用いることも可能である。

(実施形態4) 図5は、本発明の第4の実施形態に係わるSOI-DRAMのセル構成を示す断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0023】本実施形態は、キャパシタとなる支持基板表面を半球状に形成し、キャパシタの表面積を拡大した例である。即ち、支持基板1に半球状のドームが形成され、ドームに露出する支持基板1の表面には拡散層31が形成され、その上にキャパシタ絶縁膜32を介して蓄積電極33が埋込み形成され、さらにその上に蓄積電極13が埋込み形成されている。

【0024】このような構成であれば、先の第1の実施形態と同様の効果が得られるのは勿論のこと、トレンチ10の開口面積の数倍のキャパシタ面積を実現することができる。

【0025】図6を用いて、簡単に工程を説明する。まず、図6(a)に示すように、ゲート電極部に接して、支持基板1の表面に達する浅いトレンチ10を形成した後、トレンチ10の側面に酸化膜等の絶縁膜35を形成する。

【0026】次いで、図6(b)に示すように、ケミカルドライエッチング等を用いて、支持基板1の露出部のSiを選択的に除去し、トレンチ10に露出した支持基板表面部をドーム状にエッチングする。

【0027】次いで、図6(c)に示すように、露出部に支持基板1と同型の不純物の拡散源となる薄膜(PSG、AsSG等)36を形成し、固相拡散により支持基板1に拡散層31を形成する。

【0028】次いで、図6(d)に示すように、キャパシタ絶縁膜32を形成した後、蓄積電極となる導電材3

3を堆積し、エッチバックによりドーム内に充填する。続いて、導電材33をマスクとしてキャパシタ絶縁膜32を除去した後、トレンチ10内に導電材13を埋込み形成し、拡散層7との接点を形成する。

【0029】このような工程によれば、基板に対するダメージを最小限に抑えたまま、キャパシタ面積を拡大することができる。

(実施形態5) 図7は、本発明の第5の実施形態に係わるSOI-DRAMのセル構成を示す断面図である。なお、図5と同一部分には同一符号を付して、その詳しい説明は省略する。

【0030】本実施形態は、第4の実施形態のバリエーションであり、セル構造をNAND型レイアウトに配置したものである。即ち、MOSトランジスタが複数個直列接続され、各々の接続部に第4の実施形態で説明したようなトレンチ10と半球状のドームを形成し、その部分にキャパシタを形成している。

(実施形態6) 図8は、本発明の第6の実施形態に係わるSOI-DRAMのセル構成を示す断面図である。なお、図5と同一部分には同一符号を付して、その詳しい説明は省略する。

【0031】本実施形態は、第4の実施形態のバリエーションであり、支持基板1の露出部をドーム状にエッチングした後、ウェットエッチング等により、表面を粗面化したものである。これにより、キャパシタの表面積を更に拡大することが可能となる。

(実施形態7) 図9は、本発明の第7の実施形態に係わるSOI-DRAMのセル構成を示す断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0032】本実施形態は、円筒型電極の内壁をキャパシタにした例である。即ち、トレンチ10はSOI基板の絶縁層2の途中まで形成され、このトレンチ10の内面に円筒型蓄積電極41が形成されている。そして、蓄積電極41の内壁にキャパシタ絶縁膜42が形成され、キャパシタ絶縁膜42を介して円筒内部に導電材43が充填されている。この導電材43はコンタクト44により支持基板1に導通しており、プレート電極となる。

【0033】本実施形態によれば、スタック型キャパシタと同様にキャパシタ面積の拡大をはかることができ、しかもキャパシタ形成による表面の凹凸を小さくすることができ、メモリセルの表面段差を最小限に抑えることが可能になる。また、ビット線-プレート間の対向面積が第1の実施形態よりも小さいため、ビット線容量を更に低減することができる。

【0034】図10を用いて、簡単に工程を説明する。まず、図10(a)に示すように、ゲート電極部に接して、SOI基板の絶縁層2に達する浅いトレンチ10を形成する。

【0035】次いで、図10(b)に示すように、トレ

ンチ10の側面に蓄積電極となる第1の導電材41を形成する。次いで、図10(c)に示すように、キャパシタ絶縁膜42を堆積し、プレート電極となる第2の導電材43を堆積する。

【0036】次いで、図10(d)に示すように、トレンチ10の底面を貫通し、支持基板1に達するコンタクト44を形成する。この後は、第3の導電材45をトレンチ10に充填後、エッチバックすることで、キャパシタ構造を完成する。

（実施形態8）図11及び図12は、本発明の第8の実施形態に係わるSOI-DRAMの製造工程を示すセル部分の断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0037】図11(a)に示すように、層間絶縁膜14にゲート部分に対して自己整合的にトレンチ10を設けた後に、側壁残しの要領で、スペーサ52を形成する。このスペーサ52としては、例えばBPSG膜やCVD膜等を用いる。なお、スペーサ52を形成することから、側壁絶縁膜51は図1に示した側壁絶縁膜9よりも十分に薄くしてよい。

【0038】次いで、図11(b)に示すように、トレンチ10内にキャパシタ絶縁膜12と蓄積電極13を埋込み、エッチバックの要領でトレンチ内部に残置する。蓄積電極13としては、ドーパドポリSiやW等を用いればよい。

【0039】次いで、図12(c)に示すように、スペーサ52を除去した後、ポリSiやW等からなるストラップ55を、エッチバックの要領で埋込み、蓄積電極とトランジスタのドレインとの接続部を形成する。このとき、ストラップ55はトレンチ側面だけではなく、Si層3の上面上でもドレインと接することになる。

【0040】次いで、図12(d)に示すように、層間絶縁膜14を再度形成した後に、ビット線15及びビット線コンタクト16形成する。このようにして作成されたSOI-DRAMでは、第1の実施形態と同様の効果が得られるのは勿論のこと、Si層3の上面上でも蓄積電極とドレインとのコンタクトをとっているため、トレンチ10の側面でストラップをとる構造よりもコンタクト抵抗を下げる事が可能になる。

【0041】なお、本発明は上述した各実施形態に限定されるものではない。キャパシタ絶縁膜としては、Ta₂O₃を始め、STO、BSTO、PZT等でも良い。また、蓄積電極となる導電材は、W、Ti、Pt、Ruなどの金属、或いはTiN、WN、RuO₂などの金属化合物、或いはポリシリコン若しくはWSiなどのシリコン化合物でもよい。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0042】

【発明の効果】以上詳述したように本発明によれば、SOI基板の支持基板と絶縁層の境界部にキャパシタを形

成しているため、メモリセルの表面段差を最小限に抑えることが可能になる。その結果、フォトリソグラフィ工程や配線の加工を容易に行うことが可能となる。従って、高密度なメモリ装置を安価に提供することが可能となる。

【図面の簡単な説明】

【図1】第1の実施形態に係わるDRAMのメモリセル構成を示す断面図。

【図2】図1のDRAMのレイアウトを示す平面図。

【図3】第2の実施形態に係わるDRAMのメモリセル構成を示す断面図。

【図4】第3の実施形態に係わるDRAMのメモリセル構成を示す断面図。

【図5】第4の実施形態に係わるDRAMのメモリセル構成を示す断面図。

【図6】第4の実施形態のDRAMの製造工程を示す断面図。

【図7】第5の実施形態に係わるDRAMのメモリセル構成を示す断面図。

【図8】第6の実施形態に係わるDRAMのメモリセル構成を示す断面図。

【図9】第7の実施形態に係わるDRAMのメモリセル構成を示す断面図。

【図10】第7の実施形態に係わるDRAMの製造工程を示す断面図。

【図11】第8の実施形態に係わるDRAMの製造工程の前半を示す断面図。

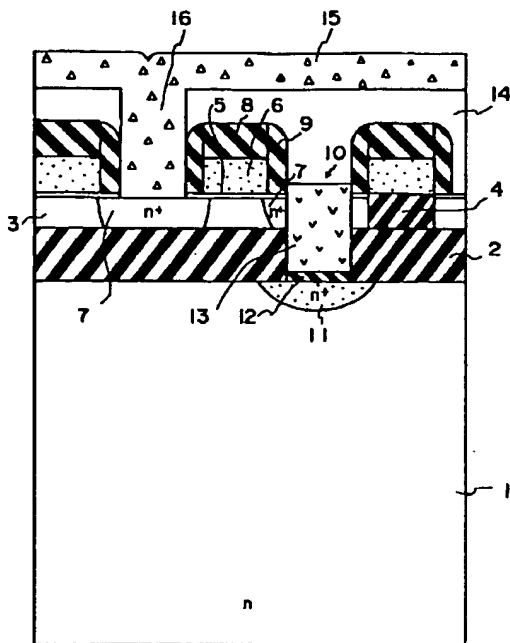
【図12】第8の実施形態に係わるDRAMの製造工程の後半を示す断面図。

【符号の説明】

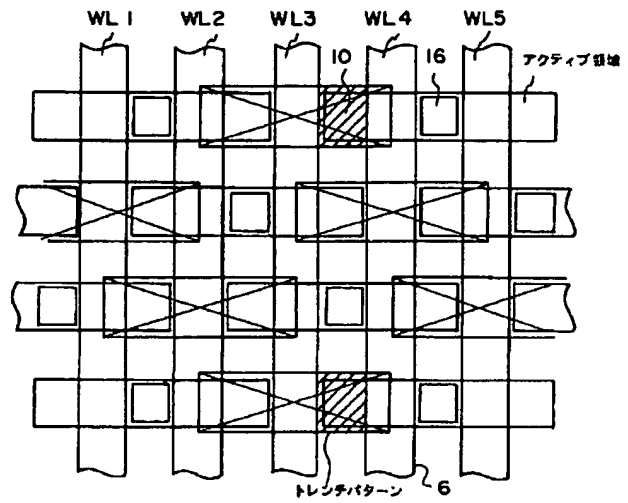
- 1…支持基板
- 2…SiO₂埋込み酸化膜（絶縁層）
- 3…Si層（半導体層）
- 4…素子分離層
- 5…ゲート酸化膜
- 6…ゲート電極（ワード線）
- 7…n型拡散層
- 8…上部絶縁膜
- 9, 51…側壁絶縁膜
- 10…トレンチ
- 11, 31…n型拡散層
- 12, 32, 42…キャパシタ絶縁膜
- 13, 33, 41…導電材（蓄積電極）
- 14…層間絶縁膜
- 15…ビット線
- 16…ビット線コンタクト
- 21…第1の金属膜
- 22…キャパシタ絶縁膜
- 23…第2の金属膜
- 52…スペーサ

55…ストラップ

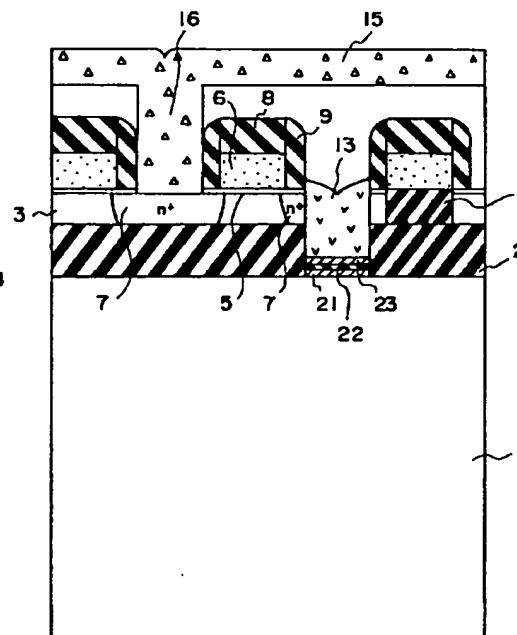
【図1】



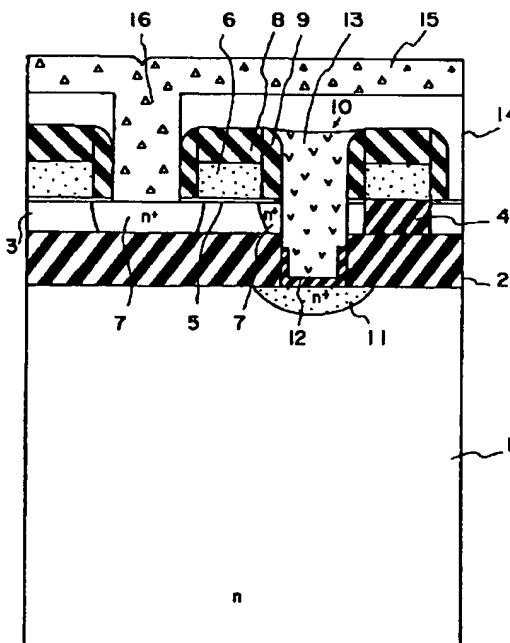
【図2】



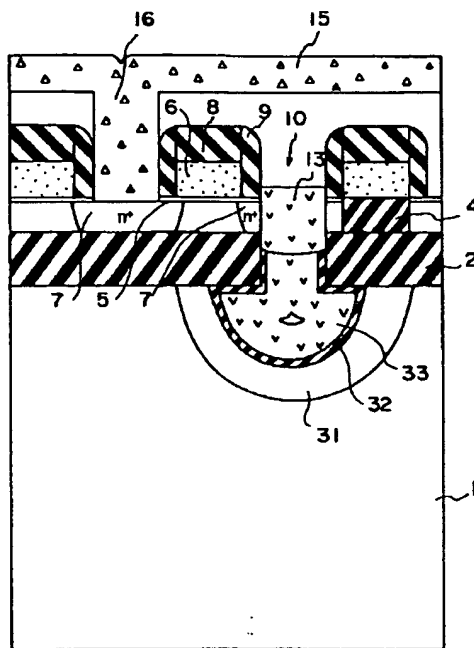
【図4】



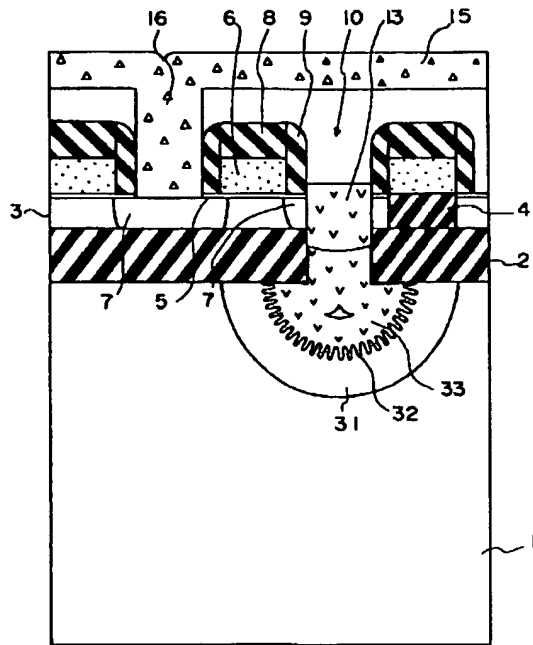
【図3】



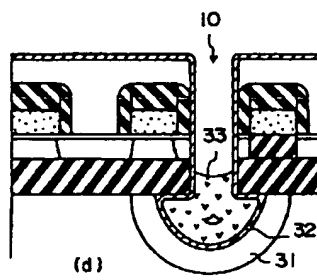
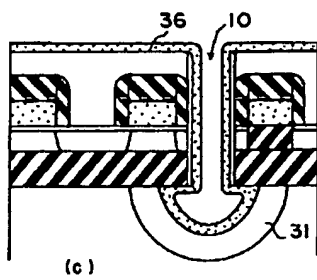
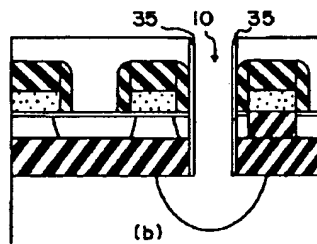
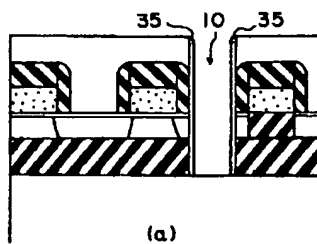
【図5】



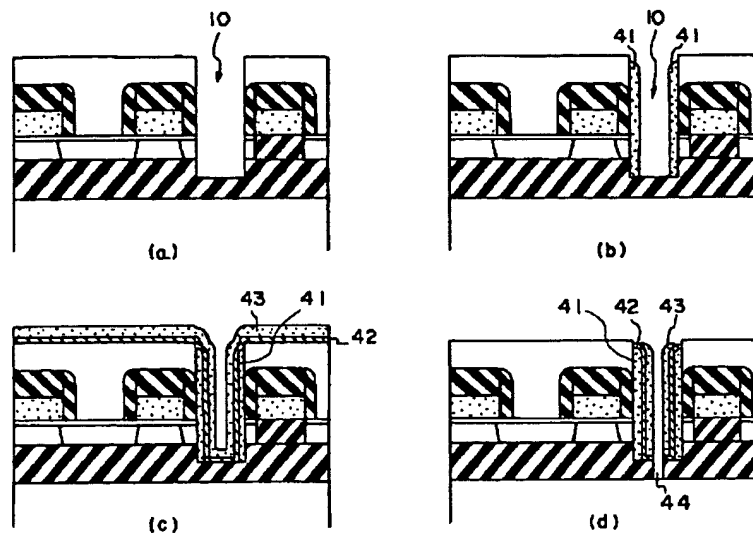
【図8】



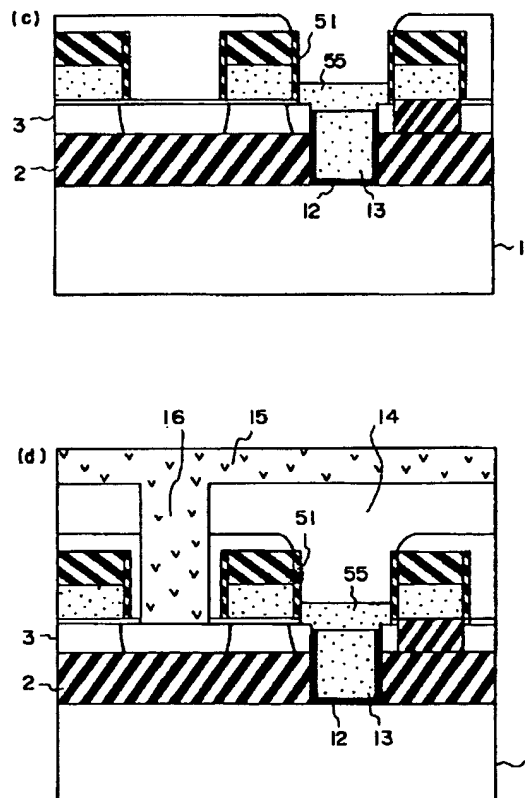
【図6】



【図10】



【図12】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.